

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
15 septembre 2005 (15.09.2005)

PCT

(10) Numéro de publication internationale
WO 2005/086232 A1

(51) Classification internationale des brevets⁷ :

H01L 23/485, 21/60

(21) Numéro de la demande internationale :

PCT/FR2005/050123

(22) Date de dépôt international :

24 février 2005 (24.02.2005)

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :

0450349

25 février 2004 (25.02.2004)

FR

(71) Déposant (pour tous les États désignés sauf US) : **COM-
MISSARIAT A L'ENERGIE ATOMIQUE** [FR/FR];
31-33, rue de la Fédération, F-75752 PARIS 15ème (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) : **BRUN, Jean** [FR/FR]; 13, domaine de Rochagnon, F-38800 CHAMPAGNIER (FR). **FRANIATTE, Rémi** [FR/FR]; 6, rue Marx Dormoy, F-38000 GRENOBLE (FR). **PUGET, Christiane** [FR/FR]; 42, route de Grenoble, F-38120 SAINT-EGREVE (FR).

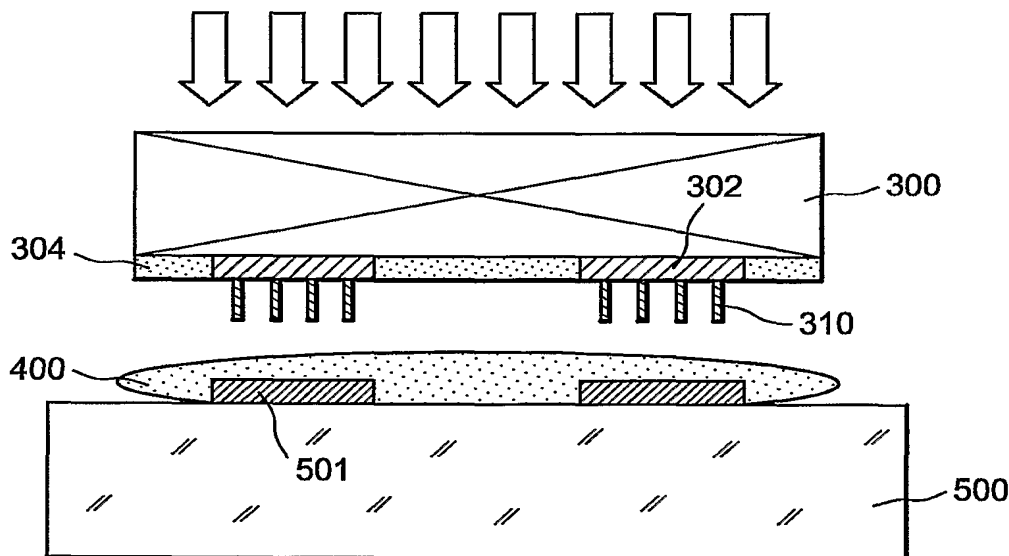
(74) Mandataire : **LEHU, Jean**; Brevatome, 3, rue du Docteur Lancereaux, F-75008 PARIS (FR).

(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[Suite sur la page suivante]

(54) Title: MICROELECTRONIC INTERCONNECT DEVICE COMPRISING LOCALISED CONDUCTIVE PINS

(54) Titre : DISPOSITIF MICROELECTRONIQUE D'INTERCONNEXION A TIGES CONDUCTRICES LOCALISEES



(57) Abstract: The invention relates to a method of producing localised conductive pins (310) on the conductive studs of an electronic component (300).

[Suite sur la page suivante]

WO 2005/086232 A1



(84) **États désignés** (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

— avec rapport de recherche internationale

— avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

**DISPOSITIF MICROELECTRONIQUE D'INTERCONNEXION A TIGES
CONDUCTRICES LOCALISEES**

DESCRIPTION

DOMAINE TECHNIQUE

La présente invention se rapporte à
5 l'assemblage de composants électroniques (puces, circuits intégrés, composants électromécaniques, composants optoélectroniques). Il existe plusieurs familles de techniques pour connecter des puces ou des circuits intégrés à des substrats d'interconnexion: le
10 "wire-bonding" ou micro-câblage, la technique de connexion par billes dite technique "flip-chip" et la technique ACF concernant les films conducteurs anisotropes. La présente invention se rapproche de la technique ACF et concerne un dispositif
15 microélectronique comprenant un composant électronique doté de tiges conductrices localisées sur certaines zones de ce dernier et aptes à assurer une connexion électrique avec un autre composant électronique avec lequel ledit composant est amené à être assemblé. La
20 présente invention concerne également un procédé de réalisation dudit dispositif microélectronique.

ÉTAT DE LA TECHNIQUE ANTÉRIEURE

Il est connu d'assurer la connexion électrique entre des plots conducteurs d'un composant
25 électronique, par exemple une puce et d'autres plots conducteurs d'un autre composant électronique, par exemple un substrat d'interconnexion, en utilisant un

film conducteur anisotrope ou film ACF (ACF pour « Anisotropic Conductive Film » selon la terminologie anglo-saxonne), que l'on place entre le composant électronique et l'autre composant électronique.

5 Un film conducteur anisotrope est généralement formé de particules conductrices incorporées dans une couche isolante ou de tiges métalliques traversant un film isolant. Ce type de film permet de réaliser un contact électrique généralement
10 dans une direction orthogonale à son plan principal, tout en assurant un isolement électrique dans des directions parallèles audit plan principal.

La figure 1 illustre l'assemblage entre une puce 10 et un substrat d'interconnexion 20. Le substrat
15 noté 20 est doté de plots de connexion 21 à base de métal et recouvert de colle 30 en vue d'être assemblé avec la puce 10. La puce 10 est quand à elle recouverte sur une face d'une couche de passivation 11 présentant des ouvertures qui laissent apparaître des plots
20 conducteurs 12. La connexion électrique entre la puce 10 et le substrat 20 sera réalisée au moyen d'un film conducteur anisotrope 15 suivant l'art antérieur, formé directement sur la puce 10, et reposant sur la couche de passivation 11. Ce film conducteur anisotrope 15 est
25 formé d'une pluralité de tiges conductrices 16 traversants une couche isolante 17. Les tiges conductrices 16 permettront après assemblage, de relier électriquement chaque plot conducteur de la puce 10 à un ou plusieurs plots de connexion du substrat 20.

30 Le film conducteur anisotrope 15 est adapté à des connexions de plots en forte densité et permet

d'éviter la réalisation de soudures entre plots de connexion du substrat et plots conducteurs de la puce. Avec ce type de film, il n'est pas nécessaire de localiser les plots de la puce et ceux du substrat que
5 l'on souhaite interconnecter.

En raison notamment de la rigidité des tiges conductrices, un film conducteur anisotrope peut s'avérer cependant difficilement adaptable à l'assemblage de composants présentant des variations
10 importantes de hauteur de contact. Ainsi, employer un film conducteur anisotrope pour interconnecter des composants électroniques comportant des défauts de planéité importants, peut entraîner des difficultés lors de l'assemblage desdits composants.

15 Un film conducteur anisotrope peut s'avérer également inadapté pour interconnecter des composants électroniques comportant une ou plusieurs zones sensibles ou fragiles, que l'on souhaite préserver d'éventuels chocs voire de tout contact. Un film
20 conducteur anisotrope tel que décrit plus haut présente des tiges conductrices incorporées régulièrement dans toute l'étendue d'une couche isolante. Ainsi, dans le cas où un film conducteur anisotrope est formé sur un composant présentant une ou plusieurs zones sensibles,
25 des tiges conductrices du film conducteur anisotrope peuvent entrer en contact avec une ou plusieurs des zones sensibles du composant et provoquer leur détérioration. Dans un autre cas où un film conducteur anisotrope est formé sur un composant et assemblé avec
30 un autre composant présentant une ou plusieurs autres zones sensibles, des tiges conductrices du film

conducteur anisotrope peuvent entrer en contact avec une ou plusieurs desdites autres zones sensibles du composant et provoquer leur détérioration.

Il se pose le problème de pouvoir
5 interconnecter des composants électroniques présentant des défauts de planéité importants ou/et des composants électroniques comportant certaines zones sensibles ou fragiles à préserver.

EXPOSÉ DE L'INVENTION

10 La présente invention ne présente pas les inconvénients des films conducteurs anisotropes traditionnels. Elle a pour but de proposer un dispositif microélectronique, qui contrairement aux films ACF selon l'art antérieur, s'adapte bien à
15 l'interconnexion de composants électroniques présentant une topographie accidentée. La présente invention permet également de pouvoir interconnecter un composant électronique avec un autre composant électronique tout en préservant d'éventuelles zones sensibles situées sur
20 ledit composant ou/et sur ledit autre composant électronique.

La présente invention concerne un procédé de fabrication de tiges conductrices sur un composant électronique doté d'un ou plusieurs plots conducteurs,
25 chacune des tiges conductrices étant en contact au moins partiel avec un plot du composant électronique, comportant les étapes de :

- dépôt d'un fond conducteur sur ledit composant,

- dépôt d'une couche de masquage sur ledit fond conducteur,
- formation dans ladite couche de masquage d'une pluralité de trous,
- 5 - remplissage de trous à base d'un matériau conducteur, par électrolyse et en se servant du fond conducteur comme électrode, afin de former les tiges conductrices,
- retrait de la couche de masquage.
- 10 Selon une autre définition, l'invention concerne un procédé de fabrication de tiges conductrices sur un composant électronique doté d'un ou plusieurs plots conducteurs, comportant les étapes de :
 - dépôt d'un fond conducteur sur ledit
 - 15 composant,
 - dépôt d'une couche de masquage sur ledit fond conducteur,
 - formation dans ladite couche de masquage d'une pluralité de trous,
 - 20 - remplissage de trous à base d'un matériau conducteur, par électrolyse et en se servant du fond conducteur comme électrode, afin de former les tiges conductrices,
 - retrait de la couche de masquage, le
 - 25 procédé comprenant en outre : au moins une étape d'isolation du fond conducteur, en dehors de zones situées en regard des plots conducteurs.
- La présente invention concerne, en particulier un procédé de fabrication de tiges
- 30 conductrices sur un composant électronique doté d'un ou plusieurs plots conducteurs, chacune des tiges

conductrices étant en contact au moins partiel avec un plot du composant électronique, comportant les étapes de:

- 5 - dépôt d'un fond conducteur sur ledit composant,
- dépôt d'une couche de masquage sur ledit fond conducteur,
- formation dans ladite couche de masquage d'une pluralité de trous, chaque trou étant au moins
10 partiellement situé en regard d'un plot conducteur,
- remplissage de trous à base d'un matériau conducteur, par électrolyse et en se servant du fond conducteur comme électrode, afin de former les tiges conductrices,
- 15 - retrait de la couche de masquage.

La couche de masquage peut être formée d'au moins une couche de résine ou de polymère photosensible.

L'étape de formation de trous dans la
20 couche de masquage peut être réalisée au moyen d'au moins un procédé de photolithographie durant lequel la couche de masquage est exposée à un rayonnement, par exemple ultraviolet, à travers un masque comportant un ou plusieurs motifs opaques audit rayonnement. Durant
25 l'étape d'exposition, les motifs du masque peuvent être alors placés en fonction de l'emplacement des plots conducteurs sur le composant.

Le fond conducteur peut être formé d'une couche conductrice ou d'un empilement d'au moins deux
30 couches conductrices différentes, une des deux couches,

par exemple une couche à base de Ti pouvant servir par exemple de couche d'adaptation d'adhérence.

Après l'étape de retrait de la couche de masquage, une étape de retrait au moins partiel du fond
5 conducteur peut être prévue.

Selon un mode de réalisation particulier, le procédé peut comprendre en outre, après l'étape de remplissage de trous, une étape supplémentaire de dépôt chimique à base de métal noble sur les tiges
10 conductrices. Cette étape peut permettre de former des tiges conductrices présentant une conductance améliorée.

La présente invention concerne également un procédé de fabrication de tiges conductrices sur un
15 composant électronique doté d'un ou plusieurs plots conducteurs, chacune des tiges conductrices étant en contact au moins partiel avec un plot du composant électronique comportant les étapes de:

- dépôt d'un fond conducteur sur ledit
20 composant,
- dépôt d'une couche de masquage sur ledit fond conducteur,
- formation dans ladite couche de masquage d'une pluralité de trous, au moins un plot conducteur
25 parmi lesdits plots conducteurs étant situé en regard d'un ou plusieurs trous, au moins un trou parmi lesdits trous n'ayant aucun desdits plots conducteurs en regard,
- gravure du fond conducteur à travers les
30 trous,

- remplissage de trous à base d'un matériau conducteur, par électrolyse et en se servant du fond conducteur comme électrode, afin de former les tiges conductrices,

5 - retrait de la couche de masquage.

L'étape de formation de trous dans la couche de masquage peut être réalisée par un procédé de photolithographie durant lequel la couche de masquage, par exemple à base de résine photosensible est exposée
10 à un rayonnement, par exemple ultraviolet à travers un masque comportant un ou plusieurs motifs dont certains sont opaques audit rayonnement.

De manière avantageuse, durant l'étape d'exposition de la couche de masquage, les motifs du masque peuvent être éventuellement placés par rapport
15 audit composant, sans tenir compte de l'emplacement des plots conducteurs sur ledit composant. Ainsi, un alignement des motifs du masque avec les plots conducteurs du composant, réalisé de manière directe ou
20 indirecte par l'intermédiaire de marques ou de dessins sur le composant électronique n'est pas obligatoire.

Le masque utilisé à l'étape de formation de trous dans la couche de masquage peut être alors éventuellement choisi indépendamment dudit composant
25 électronique et peut servir pour plusieurs composants électroniques de topographies différentes ou de type différents ou dont la répartition des plots conducteurs est différente.

Ledit fond conducteur peut être formé d'une
30 couche conductrice par exemple à base de cuivre ou d'un

empilement d'au moins deux couches conductrices différentes.

L'étape de gravure du fond conducteur peut éventuellement être prolongée de manière à ce que les
5 trous comportent une première partie au niveau de la couche de masquage et une seconde partie au niveau du fond conducteur, ladite seconde partie étant alors plus large que ladite première partie. Ainsi, une surgravure du fond conducteur à travers les trous peut permettre
10 de rendre difficile voire d'empêcher la croissance de tiges conductrices dans certains trous qui ne sont pas situés en regard de plots conducteurs.

Le procédé peut éventuellement comporter en outre, après l'étape de retrait de la couche de
15 masquage, une étape de retrait dudit fond conducteur gravé.

La présente invention concerne également un procédé de fabrication de tiges conductrices sur un composant électronique doté d'un ou plusieurs plots
20 conducteurs, chacune des tiges conductrices étant en contact au moins partiel avec un plot du composant électronique, comportant les étapes de :

- dépôt d'un fond conducteur sur ledit composant,
- 25 - dépôt d'une fine couche isolante, par exemple à base de résine photosensible ou de polymère sur le fond conducteur,
- formation d'une pluralité d'ouvertures dans ladite fine couche isolante, chaque ouverture
30 étant située en regard d'un plot conducteur.
- dépôt d'une couche de masquage,

- formation dans ladite couche de masquage d'une pluralité de trous, au moins un plot conducteur parmi lesdits plots conducteurs étant situé en regard d'un ou plusieurs trous, au moins un trou parmi lesdits
5 trous n'ayant aucun desdits plots conducteurs en regard,

- remplissage par électrolyse de trous, base d'un matériau conducteur, en se servant du fond conducteur comme électrode, afin de former les tiges
10 conductrices,

- retrait de la couche de masquage.

Selon cette variante de procédé, parmi la pluralité de trous formés à l'étape de formation de trous dans la couche de masquage, certains trous
15 peuvent dévoiler la fine couche isolante, certains autres trous peuvent dévoiler le fond conducteur.

Cette variante de procédé peut comporter en outre après l'étape de retrait de la couche de masquage, une étape de gravure sélective ou de retrait
20 sélectif du fond conducteur.

Le composant électronique à partir duquel est réalisé le procédé suivant l'invention peut être par exemple une puce ou un circuit intégré ou un MEMS (système électromécanique) et peut être éventuellement
25 recouvert d'une couche de passivation ou d'une couche diélectrique dans laquelle sont incorporés lesdits plots conducteurs sur lesquels sont formées les tiges conductrices.

L'invention concerne en outre un dispositif
30 microélectronique susceptible d'être obtenu à partir du procédé suivant l'invention.

L'invention concerne également un dispositif microélectronique comprenant :

- un composant électronique recouvert d'un ou plusieurs plots conducteurs et doté d'une ou plusieurs tiges conductrices ou saillies conductrices de formes cylindriques ou protubérances conductrices de formes cylindriques chacune rattachée audit composant électronique par une extrémité en contact au moins partiel avec un desdits plot conducteurs, l'autre extrémité étant apte à entrer en contact avec une zone de contact ou un plot de connexion d'un autre composant électronique placé en vis-à-vis d'un des dits plots conducteur.

Les tiges conductrices peuvent être rectilignes.

Elles peuvent avoir un diamètre compris par exemple entre 1 μm et 15 μm . Ces dernières peuvent avoir une longueur comprise par exemple entre 4 μm et 30 μm .

Le nombre de tiges par plot conducteur du composant peut être par exemple compris entre 5 et 1000.

Selon un mode de réalisation avantageux de la présente invention, le composant électronique peut comporter au moins un plot conducteur en contact au moins partiel avec pas moins de 2 tiges.

BRÈVE DESCRIPTION DES DESSINS

La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés, à titre purement indicatif et nullement

limitatif, en faisant référence aux dessins annexés sur lesquels :

La figure 1 déjà décrite représente l'interconnexion d'une puce et d'un substrat selon l'art connu à l'aide d'un film conducteur anisotrope ;

Les figures 2A-2F représentent différentes étapes d'un procédé de fabrication selon l'invention ;

Les figures 3A-3C représentent une variante de procédé de fabrication selon l'invention ;

Les figures 4A-4E représentent des variantes avantageuses de procédé de fabrication selon l'invention ;

La figure 5 représente l'assemblage d'un dispositif microélectronique suivant l'invention avec un substrat d'interconnexion ;

Des parties identiques, similaires ou équivalentes des différentes figures portent les mêmes références numériques de façon à faciliter le passage d'une figure à l'autre. Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

Le dispositif microélectronique mis en œuvre suivant l'invention est formé à partir d'un support qui peut être un circuit intégré, une puce, un substrat d'interconnexion, ou tout type de composant électronique que l'on souhaite interconnecter avec un autre composant électronique.

Dans le terme composant électronique, on souhaite également inclure les composants électromécaniques tels que par exemple les MEMS (microsystèmes électromécaniques) ou les composants
5 optoélectroniques.

Un premier exemple de procédé de fabrication d'un dispositif microélectronique mis en œuvre suivant la présente invention est illustré sur les figures 2A à 2F.

10 La première étape de ce procédé (figure 2A) consiste à déposer une couche conductrice ou un fond conducteur 105 sur un support, par exemple une puce ou un substrat d'interconnexion 100 dotée en surface d'un ou plusieurs plots conducteurs 102. Les plots
15 conducteurs 102 peuvent être formés à base d'un métal conducteur comme par exemple le nickel, l'aluminium, le tungstène, le cuivre. La couche conductrice 105 peut être quand à elle réalisée par un dépôt d'une couche à base de matériau métallique comme par exemple le
20 titane, le cuivre, le nickel, le tungstène, etc. Cette dernière est destinée notamment à servir de couche d'apport de courant électrique au moment de la croissance électrolytique de tiges conductrices formées ultérieurement.

25 Une couche de résine photosensible 106 (par exemple une couche de polyimide d'une dizaine de micromètres d'épaisseur) est ensuite déposée sur la couche conductrice 105. On insole la couche de résine photosensible 106 à travers un masque 150 comprenant
30 des ouvertures 151 et des parties opaques 152, les ouvertures 151 et les parties opaques 152 formant un

dessin (figure 2B). Lors de l'étape d'insolation, les ouvertures 151 et les parties opaques 152 du masque 150 sont disposées en fonction de l'emplacement des plots conducteurs 102.

5 On développe ensuite la couche de résine 106 par exemple à l'aide d'une base forte de manière à réaliser des trous 107 transversaux dans cette couche de résine 106, les trous 107 mettant à jour le fond conducteur 105 (figure 2C). Les trous 107 sont
10 regroupés en zones disposées en regard des plots conducteurs 102 du substrat 100. Chaque trou est situé au moins partiellement en regard d'un plot conducteur.

 Ensuite, par exemple par croissance électrolytique de métal tel que le cuivre, le nickel,
15 le titane, le tungstène, un alliage SnPb, l'or, etc. en se servant de la couche conductrice 105 comme électrode, on remplit les trous 107 de la couche 106 ajourée de manière à former des tiges conductrices 110 depuis le fond des trous 107 situé au niveau de la
20 couche conductrice 105 jusqu'à la surface de la couche 106 ajourée (figure 2D).

 On retire ensuite la couche 106 ajourée (figure 2E) par exemple par dissolution de la couche de résine photosensible. Puis, on grave la couche
25 conductrice 105 de façon sélective à l'exception de sous les tiges conductrices 110 (figure 2F).

 Les tiges conductrices 110 ainsi formées sur la puce 100 sont donc regroupées en zones et sont localisées sur les plots conducteurs 102, de manière à
30 ce que chaque tige conductrice soit en contact au moins partiel avec un plot conducteur.

Selon une variante de l'exemple de réalisation précédemment décrit, après l'étape de dépôt de la couche conductrice 105 illustrée sur la figure 2A, on peut effectuer le dépôt d'une fine couche 103 isolante, par exemple à base de résine ou de polymère photosensible et de l'ordre de 1 à 3 micromètre d'épaisseur. On expose alors la fine couche de résine photosensible 103 à un rayonnement par exemple ultraviolet à travers un premier masque (non représenté) permettant d'insoler uniquement les parties de la fine couche de résine 103 situées en regard des plots 102, dans le cas où la résine est à développement positif, ou d'insoler toute la couche 103 sauf les parties situées en regard des plots 102, dans le cas où la résine est à développement négatif.

On développe ensuite la fine couche de résine 103 de manière à réaliser des lumières ou des ouvertures 104 situées en regard des plots conducteurs 102 et dévoilant la couche conductrice 105 (figure 3A).

Une autre couche de résine photosensible 106 (par exemple une couche de polyimide d'une dizaine de micromètres d'épaisseur) est ensuite déposée sur la fine couche 103 ajourée (figure 3B). On insole la couche de résine photosensible 106 à travers un second masque (non représenté) comprenant des ouvertures et des parties opaques disposées en fonction de l'emplacement des plots conducteurs 102.

On développe ensuite la couche de résine 106 de manière à réaliser une couche ajourée dotée de trous 107 regroupés en zones disposées au dessus des plots conducteurs. Certains trous 107b sont situés en

regard des plots et mettent à jour la couche conductrice 105. Certains autres trous 107a, dont le fond dévoile la fine couche 103 de résine ne sont situés en regard d'aucun des plots 102 (figure 3C).

5 On suit alors les étapes de l'exemple de procédé précédemment décrit illustrées sur les figures 2D à 2F. Les trous 107b sont remplis par électrolyse en se servant du fond conducteur 105 comme électrode pour former des tiges conductrices. Les trous 107a, dont le
10 fond dévoile la fine couche de résine 103 ne se remplissent pas.

Puis la fine couche de résine 103 et l'autre couche de résine 106 sont retirées. Enfin, la couche conductrice 105 est gravée de manière sélective,
15 de manière à ce que cette dernière ne soit conservée que sous les tiges conductrices 110.

Un autre exemple de procédé de fabrication d'un dispositif microélectronique mis en œuvre suivant la présente invention va à présent être décrit en
20 liaison avec les figures 4A-4E.

Dans cette variante, le dispositif microélectronique suivant l'invention est cette fois formé à partir d'une puce 300, dotée de plots conducteurs 302 à base de métal tel que par exemple du
25 cuivre, insérés dans une couche de passivation 304 à base d'un diélectrique tel que par exemple du SiO₂.

Dans cet exemple de procédé, un fond conducteur 305 continu est tout d'abord déposé sur la puce 300 et recouvre les plots conducteurs 302 ainsi
30 que la couche de passivation 304. Le fond conducteur 305 continu peut être formé d'une couche conductrice ou

d'un empilement de plusieurs couches conductrices. Un tel empilement peut être formé par exemple d'une première couche conductrice, par exemple une couche à base de titane d'épaisseur de l'ordre de 300 Angstrom, 5 recouverte d'une seconde couche conductrice, par exemple à base de cuivre et d'épaisseur de l'ordre de 2500 Angstrom.

On réalise ensuite le dépôt d'une couche 306 à base de résine ou d'un polymère photosensible, 10 par exemple une couche de résine SJR 5740 (marque déposée) de la société Chipley d'une dizaine de micromètres d'épaisseur, sur le support 300.

On effectue ensuite un procédé de photolithographie afin de former une pluralité de trous 15 dans la couche 306. Au cours de ce procédé de photolithographie, on expose tout d'abord la couche 306 à un rayonnement par exemple ultraviolet et au travers d'un masque (non représenté) comportant des motifs opaques audit rayonnement. Lesdits motifs peuvent être 20 identiques et régulièrement répartis sur le masque. Ces derniers sont de préférence espacés entre eux d'un pas constant.

L'exposition de la couche 306 peut être effectuée sans alignement des motifs du masque avec un 25 ou plusieurs quelconques dessins, points de références, ou marques d'alignements situés sur la puce 300.

Ainsi, un alignement réalisé de manière directe ou indirecte des motifs du masque avec les plots conducteurs 302 de la puce 300, n'est par exemple 30 pas nécessaire.

La couche 306 est ensuite révélée. Cette dernière comporte alors un ensemble de trous 307 transversaux dévoilant le fond conducteur 300 et dont la répartition dans la couche 306 dépend de celle des motifs du masque. Cette répartition peut être uniforme. Les trous 307 peuvent avoir par exemple un diamètre de l'ordre de 3 micromètres et peuvent être espacés entre eux par exemple d'un pas de 6 micromètres (figure 4A).

On réalise ensuite une gravure du fond conducteur 305 à travers les trous 307, de manière à prolonger ces derniers. Après gravure du fond conducteur, certains trous notés 307a parmi l'ensemble des trous 307 dévoilent la couche de passivation 304, certains autres notés 307b dévoilent les plots conducteurs 302.

Le fond conducteur 305 peut être éventuellement surgravé de manière à ce que les trous 307 comportent chacun une première partie notée 308 située au niveau de la couche 306 et une seconde partie notée 309 à fond élargi, dans le prolongement de la première partie 308 (figure 4B).

Puis, on effectue le remplissage des trous 307, par croissance électrolytique de métal tel que le cuivre, le nickel, le titane, le tungstène, un alliage SnPb, l'or, etc. en se servant du fond conducteur 301 comme électrode. Les trous 307b dévoilant les plots conducteurs 302 sont remplis de préférence depuis leur fond jusqu'à la surface de la couche 306 de manière à former des tiges conductrices 310. Dans le même temps, étant donné la nature de leur fond, les trous 307a qui dévoilent la couche de passivation, 304 se remplissent

généralement peu et de manière moins rapide que les trous 307b.

Des tiges conductrices dites « parasites » de taille généralement très inférieures à celle des tiges 310 ou des dépôts 312 « parasites » peuvent éventuellement se former dans les trous 307a (figure 4C). L'adhérence de ces tiges ou de ces dépôts « parasites » 312 sera généralement faible.

Selon une variante de réalisation, le procédé peut comprendre en outre après le remplissage des trous 307, une étape de dépôt chimique à base de métal noble sur les tiges conductrices 310. Cette étape de placage anélectrolytique/dépôt autocatalytique à base de métal noble sur les tiges conductrices 310 peut permettre d'améliorer la conductance globale de ces dernières.

Ensuite, on retire la couche 306 au moyen d'un procédé de décapage, par exemple à l'aide d'un solvant tel que l'acétone. Au moins certains des éventuels dépôts « parasites » peu adhérents vis-à-vis de la couche de passivation 304, disparaissent alors au moins partiellement (figure 4D).

Enfin, on effectue le retrait du fond conducteur 305 par un procédé de nettoyage approprié, Dans le cas où le fond conducteur 305 est formé d'un empilement d'une couche à base de titane et d'une couche à base de cuivre, le procédé de nettoyage peut comprendre une étape de retrait de la couche à base de titane par exemple à l'aide d'un premier bain à base d'ammoniac et d'eau oxygénée, et d'une autre étape de retrait de la couche à base de cuivre par exemple à

l'aide d'un second bain à base d'acide fluorhydrique. Un procédé de type « lift-off », peut compléter ce procédé de nettoyage. D'éventuelles tiges « parasites » ou dépôts « parasites » disparaissent alors
5 complètement (figure 4E).

Le dispositif microélectronique ainsi obtenu à partir du procédé précédemment décrit est formé d'une puce 300 dotée de plots conducteurs 302 insérés dans une couche de passivation 304. Sur chacun
10 des plots conducteurs 302 sont localisés une pluralité de tiges conductrices, présentant un angle non nul avec un plan principal de la puce.

La figure 5 illustre l'assemblage entre la puce 300 et un substrat d'interconnexion 500.

15 La puce 300 est dotée des tiges conductrices 310 formées à partir du procédé précédemment décrit et localisées sur ses plots conducteurs 302.

Les plots conducteurs de la puce 300 et des
20 plots de connexion 501 du substrat d'interconnexion 500 sont disposés en vis-à-vis. Le substrat 500 est recouvert de colle 400 en vue d'être assemblé avec la puce 300.

Après assemblage, la connexion électrique
25 entre le substrat 500 et la puce 300 sera assurée par une technique d'interconnexion mise en oeuvre suivant l'invention. Cette technique permet de réaliser l'assemblage de composants présentant des défauts de planéité importants lorsque lesdits composants sont
30 munis des tiges conductrices localisées plutôt que recouverts d'un film conducteur anisotrope comme celui

décrit dans l'art antérieur. Par ailleurs, l'emploi de tiges conductrices localisées uniquement sur des plots d'un composant, permet de préserver d'éventuelles zones sensibles situées sur ledit composant ou sur un autre composant avec lequel ce dernier est amené à d'être assemblé.

Un procédé suivant l'invention, de fabrication de tiges conductrices sur un composant électronique doté d'un ou plusieurs plots conducteurs, met en oeuvre au moins une étape d'isolation d'un fond conducteur, en dehors de zones situées en regard des plots conducteurs.

Cette isolation comporte par exemple la réalisation de trous, dans une couche de masquage déposée sur le fond conducteur, uniquement en regard ou au dessus des plots (figure 2C).

Selon un autre exemple, cette isolation met en oeuvre la réalisation d'une fine couche isolante que l'on grave au dessus des plots (figure 3A).

Selon un troisième exemple, cette isolation met en oeuvre la gravure du fond conducteur à travers les trous d'un masquage, préalablement au remplissage de ces trous par un matériau conducteur (figure 4B).

REVENDICATIONS

1. Procédé de fabrication de tiges conductrices (210,310) sur un composant électronique (200,300) doté d'un ou plusieurs plots conducteurs (202,302), chacune des tiges conductrices étant en contact au moins partiel avec un plot du composant électronique comportant les étapes de :
- dépôt d'un fond conducteur (105,305) sur
10 ledit composant,
 - dépôt d'une couche de masquage (106, 206, 306) sur ledit fond conducteur (105,305),
 - formation dans ladite couche de masquage d'une pluralité de trous (207, 307, 107), au moins un
15 plot conducteur parmi lesdits plots conducteurs étant situé en regard d'un ou plusieurs trous,
 - remplissage par électrolyse de trous à base d'un matériau conducteur afin de former les tiges conductrices (210,310),
 - 20 - retrait de la couche de masquage (206,306).
2. Procédé de fabrication de tiges conductrices (210,310) sur un composant électronique (200,300) selon la revendication 1, dans lequel, à
25 l'étape de formation dans ladite couche de masquage d'une pluralité de trous (207, 307, 107), au moins un plot conducteur parmi lesdits plots conducteurs est situé en regard d'un ou plusieurs trous, au moins un
30 trou parmi lesdits trous n'a aucun desdits plots conducteur en regard, le procédé comprenant en outre,

après l'étape de formation de la pluralité de trous et préalablement au remplissage par électrolyse :

- la gravure du fond conducteur (305) à travers les trous (307).

5

3. Procédé de fabrication de tiges conductrices (210,310) sur un composant électronique (200,300) selon la revendication 1, dans lequel, à l'étape de formation dans ladite couche de masquage d'une pluralité de trous (207, 307, 107), au moins un plot conducteur parmi lesdits plots conducteurs est situé en regard d'un ou plusieurs trous, au moins un trou parmi lesdits trous n'a aucun desdits plots conducteur en regard, le procédé comportant en outre :
entre le dépôt du fond conducteur (105,305) sur ledit composant et le dépôt de la couche de masquage (106, 206, 306) sur ledit fond conducteur, les étapes de :

15

- dépôt d'une fine couche isolante (103) sur le fond conducteur (105),

20

- formation d'une pluralité d'ouvertures (104) dans ladite fine couche isolante, chaque ouverture étant située en regard d'un plot conducteur.

25

4. Procédé selon la revendication 3, caractérisé en ce que parmi la pluralité de trous (107) formés à l'étape de formation des trous dans la couche de masquage, certains trous (107a) dévoilent la fine couche isolante (103), certains autres trous (107b) dévoilent le fond conducteur.

30

5. Procédé de fabrication de tiges conductrices (110) sur un composant électronique (100) selon la revendication 1, dans lequel, à l'étape de formation dans ladite couche de masquage d'une pluralité de trous (107), chaque trou est au moins partiellement situé en regard d'un plot conducteur.

6. Procédé selon la revendication 5, comprenant en outre, après l'étape de formation dans ladite couche de masquage d'une pluralité de trous et préalablement à l'étape de remplissage par électrolyse :

- la gravure du fond conducteur à travers les trous.

15

7. Procédé selon l'une des revendications 1 à 6, ladite couche de masquage comprenant au moins une couche de polymère photosensible.

8. Procédé selon l'une des revendications 1 à 7, dans lequel lesdits plots conducteurs sont insérés dans une couche de passivation (304) recouvrant ledit composant électronique.

9. Procédé selon l'une des revendications 1 à 8, le fond conducteur (105,305) étant formé d'un empilement d'au moins deux couches conductrices différentes.

10. Procédé selon l'une des revendications 1 à 9, comportant en outre après l'étape de retrait de

la couche de masquage, une étape de retrait au moins partiel du fond conducteur ou de gravure sélective du fond conducteur.

5 11. Procédé selon l'une des revendications 1 à 10, comprenant en outre après l'étape de remplissage par électrolyse, une étape supplémentaire de dépôt chimique à base de métal noble sur les tiges conductrices (310).

10 12. Dispositif microélectronique susceptible d'être obtenu par le procédé selon l'une des revendications 1 à 11.

1 / 6

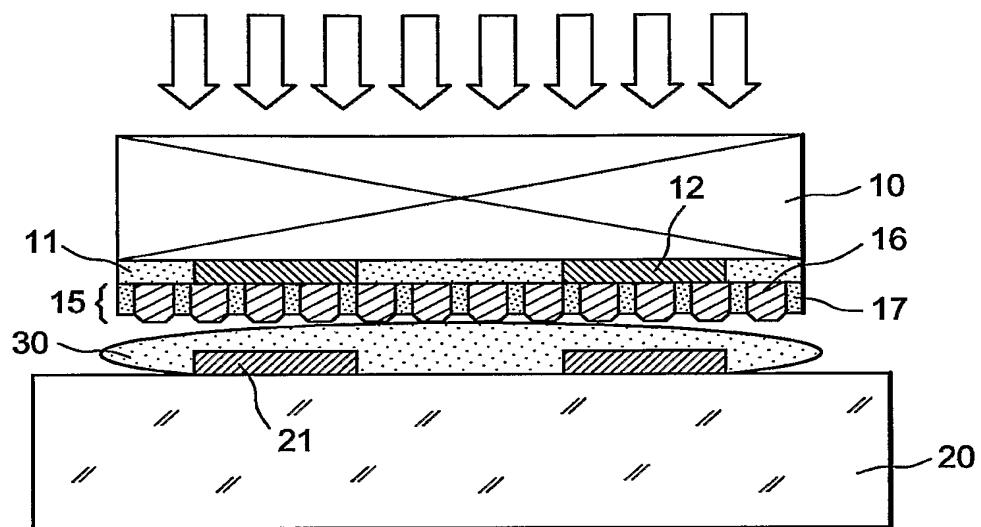


FIG.1

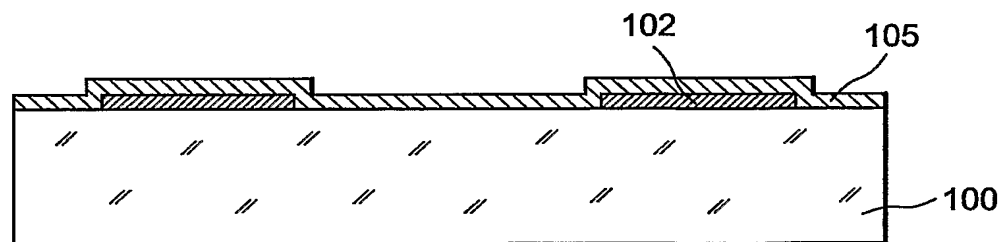


FIG.2A

2 / 6

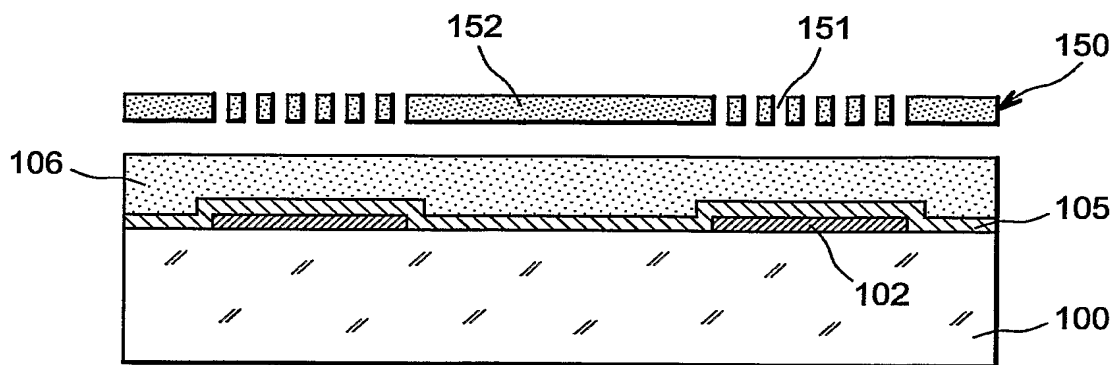


FIG.2B

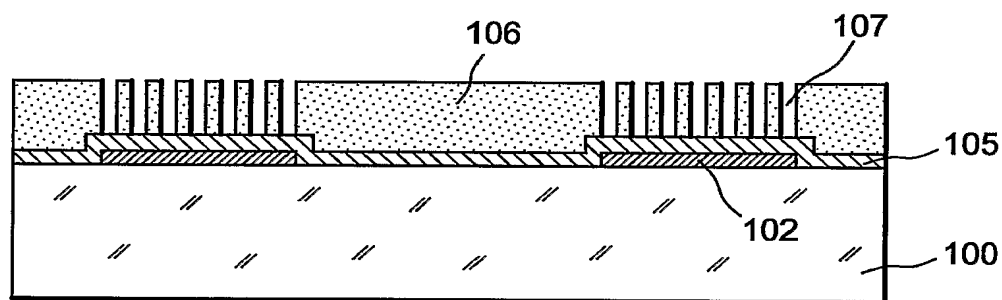


FIG.2C

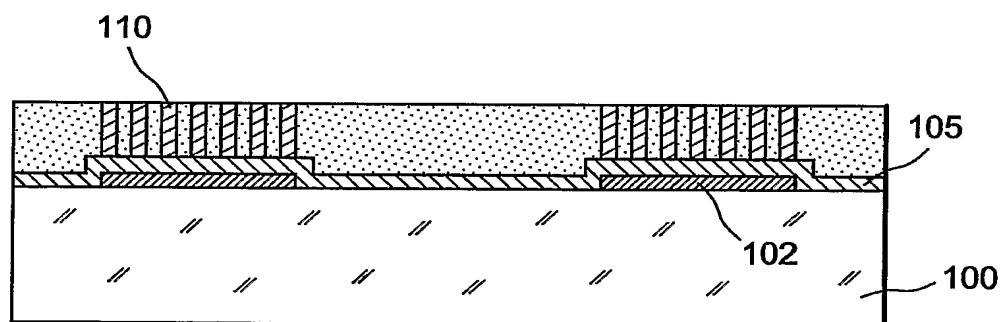


FIG. 2D

3 / 6

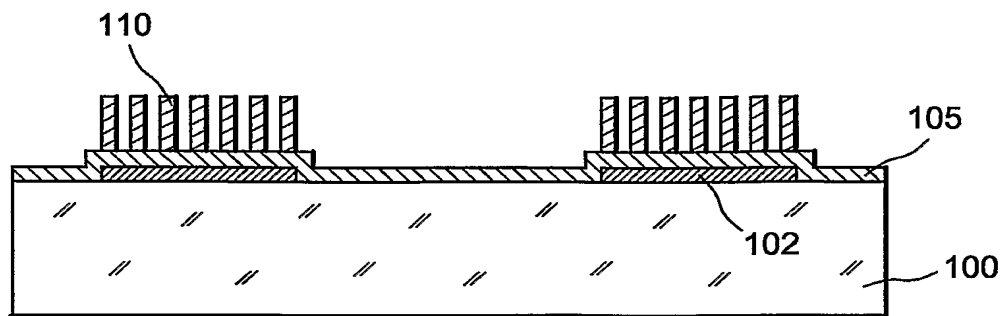


FIG. 2E

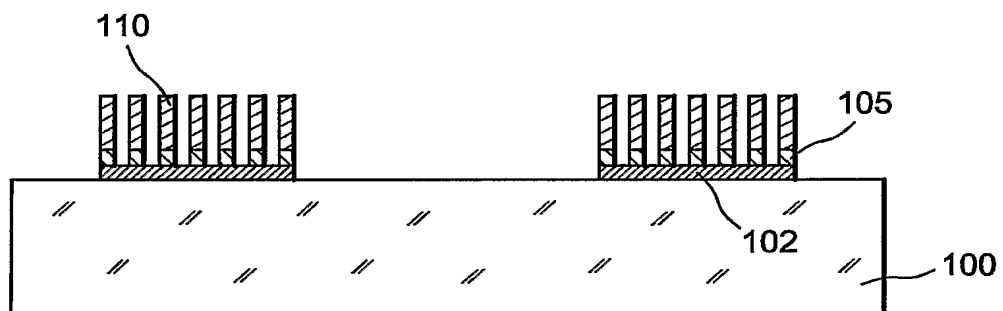


FIG. 2F

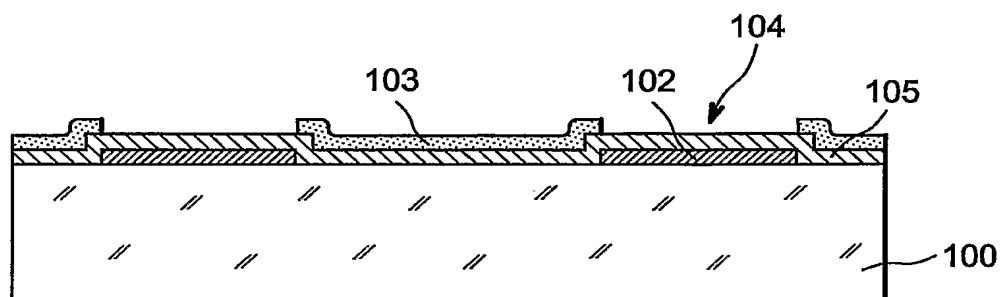


FIG. 3A

4 / 6

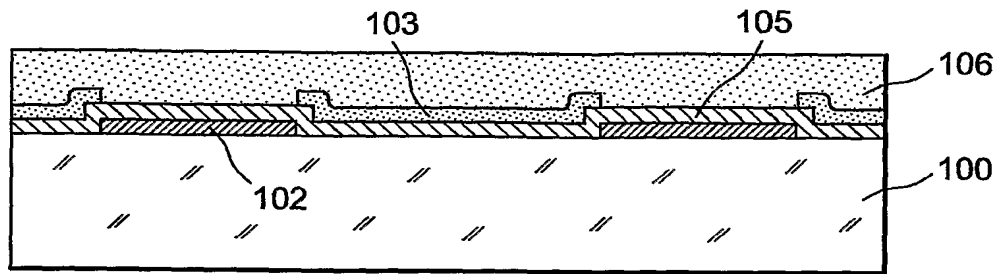


FIG. 3B

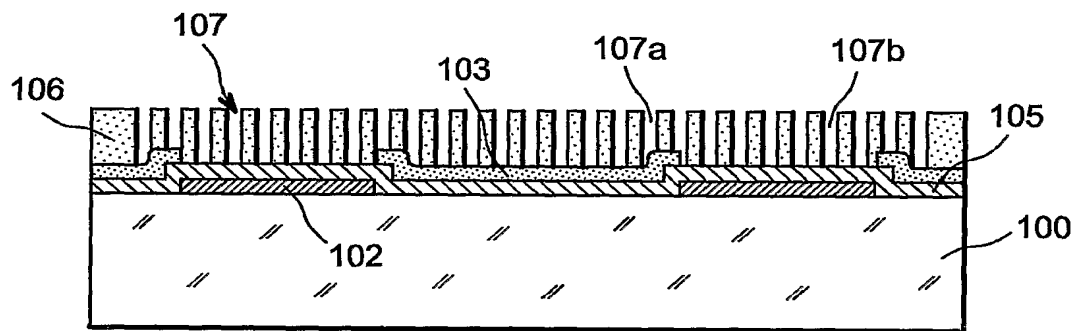


FIG. 3C

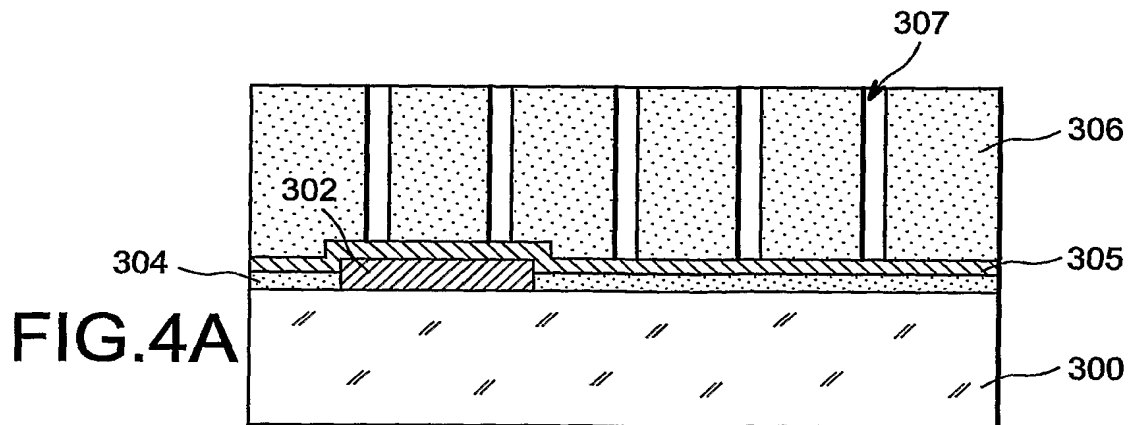
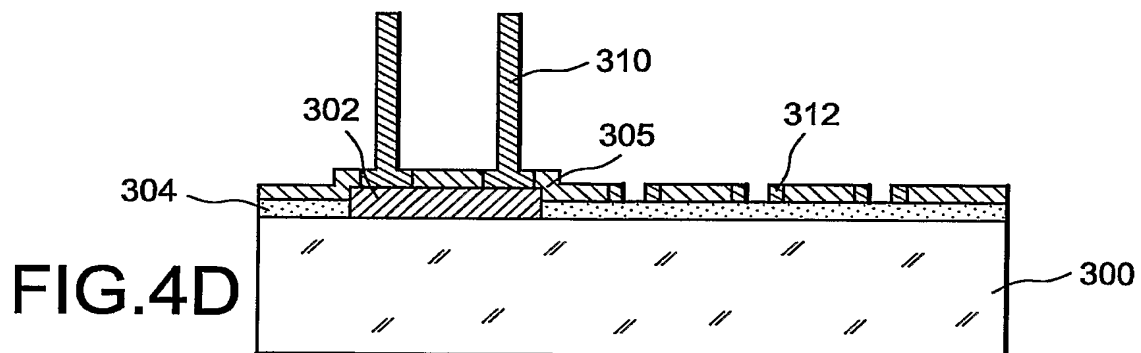
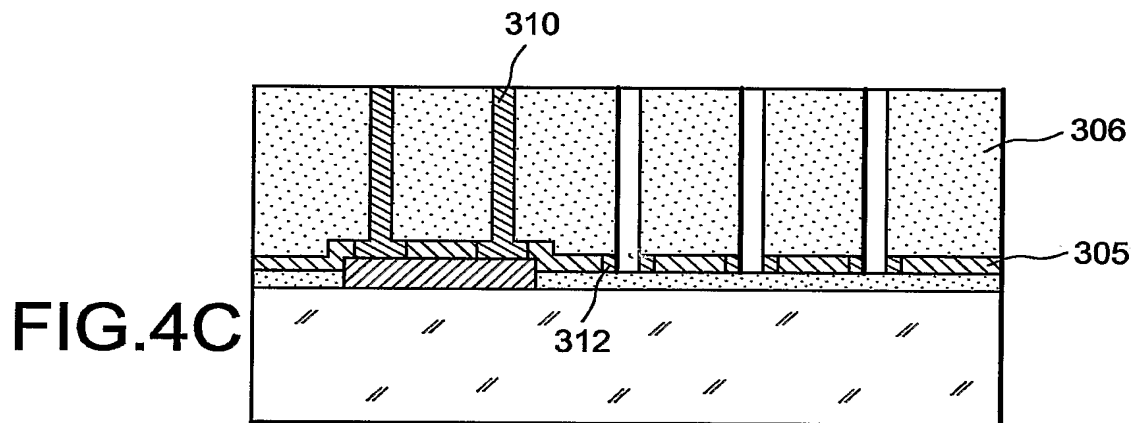
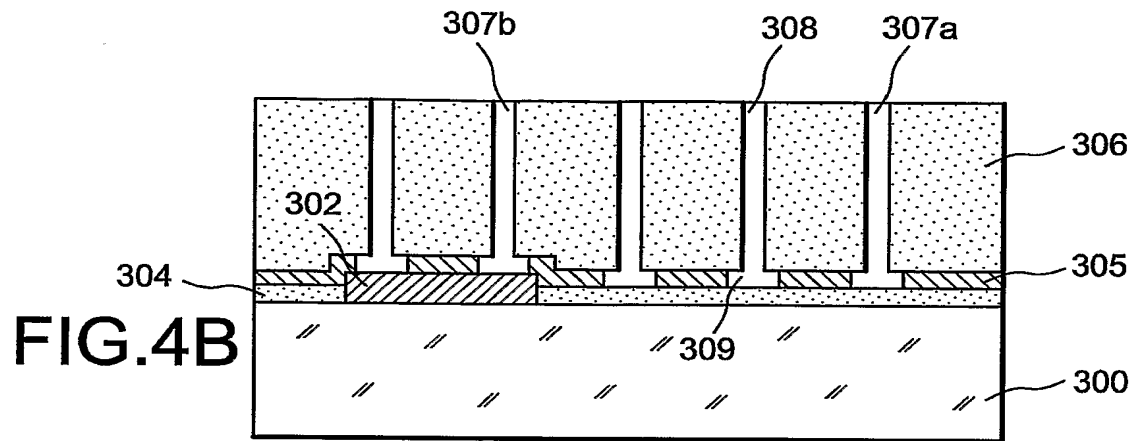


FIG. 4A

5 / 6



6 / 6

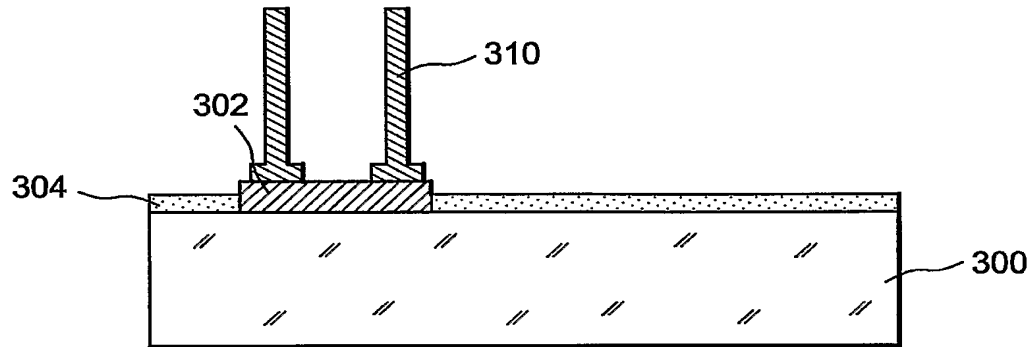


FIG. 4E

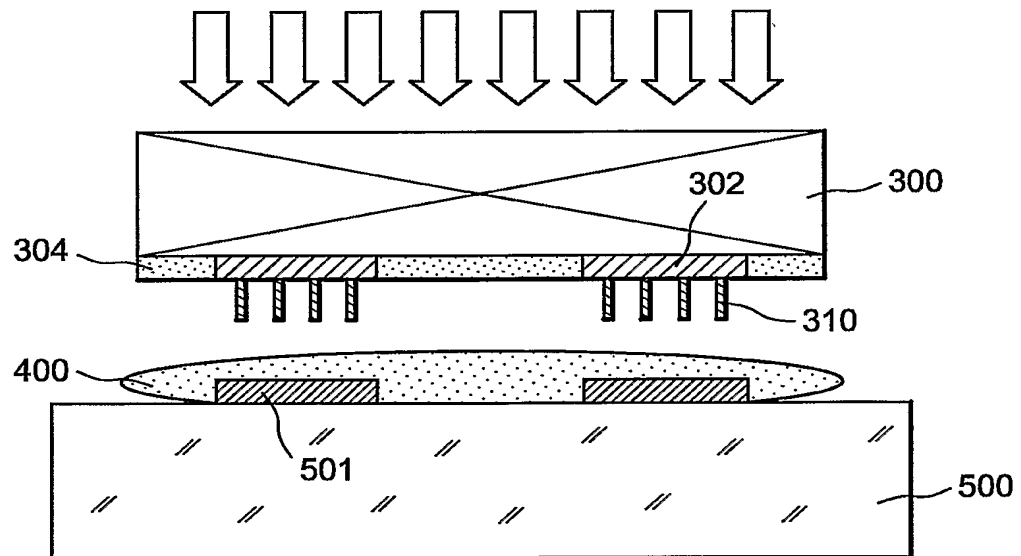


FIG. 5

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR2005/050123

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L23/485 H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	DE 101 57 205 A (FRAUNHOFER GES FORSCHUNG) 12 June 2003 (2003-06-12) the whole document	1, 5, 7, 8, 12 2-4, 6, 9-11
X	US 2002/164840 A1 (LU SZU-WEI ET AL) 7 November 2002 (2002-11-07) paragraph '0038! - paragraph '0042!; figures 2-6	1, 7, 8, 10, 12
X A	WO 03/015153 A (BONVALOT BEATRICE ; SCHLUMBERGER SYSTEMS & SERVICE (FR); SCHLUMBERGER) 20 February 2003 (2003-02-20) the whole document	12 1-11
	----- -/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

5 July 2005

Date of mailing of the international search report

25/07/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Ploner, G

INTERNATIONAL SEARCH REPORT

Inter: al Application No
PCT/FR2005/050123

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 731 636 A (CHUN HEUNG SUP) 24 March 1998 (1998-03-24) the whole document -----	1-12
A	US 5 746 927 A (WATANABE KOJI ET AL) 5 May 1998 (1998-05-05) column 5, line 45 - column 6, line 44; figures 1a-f -----	1-12
A	US 6 537 854 B1 (WU CHI-YUAN ET AL) 25 March 2003 (2003-03-25) column 8, line 11 - column 9, line 22; figures 4A,B,6A,B -----	1-12
A	US 2002/190107 A1 (SHAH TUSHAR T ET AL) 19 December 2002 (2002-12-19) the whole document -----	1-12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/FR2005/050123

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
DE 10157205	A	12-06-2003	DE 10157205 A1	12-06-2003
US 2002164840	A1	07-11-2002	NONE	
WO 03015153	A	20-02-2003	FR 2828334 A1	07-02-2003
			CN 1565053 A	12-01-2005
			EP 1421614 A2	26-05-2004
			WO 03015153 A2	20-02-2003
			US 2005034303 A1	17-02-2005
US 5731636	A	24-03-1998	KR 206866 B1	01-07-1999
			JP 3029398 B2	04-04-2000
			JP 9129669 A	16-05-1997
US 5746927	A	05-05-1998	JP 3356840 B2	16-12-2002
			JP 7111170 A	25-04-1995
			JP 7307172 A	21-11-1995
			JP 8236179 A	13-09-1996
			US 5610371 A	11-03-1997
			US 5440454 A	08-08-1995
			US 5603981 A	18-02-1997
US 6537854	B1	25-03-2003	NONE	
US 2002190107	A1	19-12-2002	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

Dem. internationale No
PCT/FR2005/050123

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 H01L23/485 H01L21/60

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie °	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X A	DE 101 57 205 A (FRAUNHOFER GES FORSCHUNG) 12 juin 2003 (2003-06-12) le document en entier	1,5,7,8, 12 2-4,6, 9-11
X	US 2002/164840 A1 (LU SZU-WEI ET AL) 7 novembre 2002 (2002-11-07) alinéa '0038! - alinéa '0042!; figures 2-6	1,7,8, 10,12
X A	WO 03/015153 A (BONVALOT BEATRICE ; SCHLUMBERGER SYSTEMS & SERVICE (FR); SCHLUMBERGER) 20 février 2003 (2003-02-20) le document en entier	12 1-11
A	US 5 731 636 A (CHUN HEUNG SUP) 24 mars 1998 (1998-03-24) le document en entier	1-12

-/--

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

° Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

5 juillet 2005

Date d'expédition du présent rapport de recherche internationale

25/07/2005

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Ploner, G

RAPPORT DE RECHERCHE INTERNATIONALE

Den Internationale No
PCT/FR2005/050123

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 5 746 927 A (WATANABE KOJI ET AL) 5 mai 1998 (1998-05-05) colonne 5, ligne 45 - colonne 6, ligne 44; figures 1a-f	1-12
A	US 6 537 854 B1 (WU CHI-YUAN ET AL) 25 mars 2003 (2003-03-25) colonne 8, ligne 11 - colonne 9, ligne 22; figures 4A,B,6A,B	1-12
A	US 2002/190107 A1 (SHAH TUSHAR T ET AL) 19 décembre 2002 (2002-12-19) le document en entier	1-12

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Derr. internationale No
PCT/FR2005/050123

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
DE 10157205	A	12-06-2003	DE 10157205 A1	12-06-2003
US 2002164840	A1	07-11-2002	AUCUN	
WO 03015153	A	20-02-2003	FR 2828334 A1	07-02-2003
			CN 1565053 A	12-01-2005
			EP 1421614 A2	26-05-2004
			WO 03015153 A2	20-02-2003
			US 2005034303 A1	17-02-2005
US 5731636	A	24-03-1998	KR 206866 B1	01-07-1999
			JP 3029398 B2	04-04-2000
			JP 9129669 A	16-05-1997
US 5746927	A	05-05-1998	JP 3356840 B2	16-12-2002
			JP 7111170 A	25-04-1995
			JP 7307172 A	21-11-1995
			JP 8236179 A	13-09-1996
			US 5610371 A	11-03-1997
			US 5440454 A	08-08-1995
			US 5603981 A	18-02-1997
US 6537854	B1	25-03-2003	AUCUN	
US 2002190107	A1	19-12-2002	AUCUN	